

## ⑫ 公開特許公報(A)

平2-260443

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月23日

H 01 L 21/78

Q

6824-5F

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平1-83172

⑰ 出 願 平1(1989)3月30日

⑱ 発 明 者 松 岡 敬 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内  
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明細書

## 1. 発明の名称

半導体装置およびその製造方法

## 2. 特許請求の範囲

(1) 半導体基板上に素子が形成された半導体装置の機械的強度を高めるためのメタライズ(金属層)が、前記半導体基板上に張り出さないように該半導体基板の側面のみに形成されることを特徴とする半導体装置。

(2) 半導体基板上の素子を覆うようにレジストを形成する工程と、前記レジストをマスクとしてウエットエッチングによりスクライプ用の溝を形成する工程と、無電解メッキ法によって前記スクライプ用の溝のみに給電層を形成する工程と、前記給電層上に電気メッキ法によってメタライズを形成する工程と、前記レジストを除去する工程と、前記スクライプ用の溝に沿って分割する工程とを含む前記請求項1に記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体基板、特に、化合物半導体基板上に素子を形成してなる半導体装置、例えば、MMIC(マイクロウエーブモノリシックIC)およびその製造方法に関し、さらに詳しくは、半導体基板を薄くした際に、半導体装置の機械的強度を高めるために該半導体基板の側面に形成されるメタライズ(金属層)の構造および製造方法に関する。

## [従来の技術]

この種の半導体装置の製造手順を、第2図に基づいて説明する。

先ず、第2図(A)に示されるように、トランジスタやコンデンサなどの素子1,2が形成された半導体基板、例えば、GaAs基板3を、フォトリソエッチング工程に移し、チップ分離すべき箇所(スクライプライン)以外の部分がすべてフォトリソで覆われるように、レジストパターンを形成してドライエッチング法によってGaAs基板3にスクライプ用の溝5を形成する。この溝5の深さは、最終的に得られる半導体装置の基板の

厚さとほぼ等しい深さ、例えば、 $20 \sim 30 \mu\text{m}$ に選ばれる。その後、マスクとして使用したフォトレジストを第2図(B)に示されるように除去する。

次に、再び、フォトエッチング工程に移し、第2図(C)に示されるように、スクライプ用の溝5の部分が露出し、かつ、素子1,2の部分がフォトレジスト10で覆われるようにレジストパターンを形成する。そして、後の電気メッキ工程で必要となる給電層6を、スパッタリング法によって第2図(D)に示されるように、全面に形成する。さらに、もう一度、フォトエッチング工程に移し、電気メッキの際にメタライズの成長を阻止するための壁となるフォトレジスト11によるパターンを第2図(E)に示されるように基板3の表面に形成する。

次に、給電層6が露出している部分に、電気メッキ法によって第2図(F)に示されるようにメッキ、すなわち、機械的強度を高めるためのメタライズ(金属層)7を形成し、そして、第2図(G)

に示されるように、不要な上層のフォトレジスト11、給電層6および下層のフォトレジスト10を除去し、さらに、スクライプ用の溝5に沿って分割することにより、基板3の側面にメタライズ7が形成された半導体装置が得られることになる。  
[発明が解決しようとする課題]

このような従来例の半導体装置では、側面のメタライズ7が、第2図(G)に示されるように、表面側に張り出した構造となり、このため、ワイヤボンディングなどを行う際に、ワイヤがメタライズ7に接触しないように素子1,2を側面から離して形成しなければならず、その分半導体装置のサイズが大きくなる。また、半導体装置を取り付け台、いわゆる、キャリアに半田で固定する際に、半田がメタライズ7を伝って基板表面にまで達し、素子1,2を破壊する場合があるという難点もある。

さらに、従来の製造方法では、基板表面に、例えば、 $20 \sim 30 \mu\text{m}$ ものスクライプ用の溝5を形成した後にフォトエッチング工程を繰り返して

行わねばならず、フォトレジスト塗膜の不均一、現像後溝内に発生するレジスト残渣などの問題が生じるとともに、歩留まりの低下や工程数が多いために製造に時間がかかるなどの難点がある。

本発明は、上述の技術的課題を解決し、半導体装置の信頼性を高めるとともに、製造時における歩留まりの向上および製造に要する時間を短縮することを目的とする。

#### [課題を解決するための手段]

上述の目的を達成するために、請求項1に記載の本発明の半導体装置では、半導体基板上に素子が形成された半導体装置の機械的強度を高めるためのメタライズが、前記半導体基板上に張り出さないように該半導体基板の側面のみに形成されるようにしている。

また、請求項2に記載の本発明の半導体装置の製造方法では、半導体基板上の素子を覆うようにレジストを形成する工程と、前記レジストをマスクとしてウェットエッチングによりスクライプ用の溝を形成する工程と、無電解メッキ法によって

前記スクライプ用の溝のみに給電層を形成する工程と、前記給電層上に電気メッキ法によってメタライズを形成する工程と、前記レジストを除去する工程と、前記スクライプ用の溝に沿って分割する工程とを含んでいる。

#### [作用]

本発明の半導体装置では、メタライズが半導体基板上に張り出していないので、半導体基板上の素子を従来例のように側面から離した位置に形成する必要がなく、したがって、半導体装置のサイズを従来よりも小さくすることが可能となり、また、半導体装置を半田によってキャリアに固定する場合に、半田がメタライズを伝って表面まで上がってきて素子を破壊するといったことが防止される。

また、本発明の半導体装置の製造方法では、スクライプ用の溝を形成した後は、フォトエッチング工程を返す必要がないので、製造工程が簡素化され、従来例のように、フォトエッチング工程におけるフォトレジスト塗膜の不均一、溝内に発

生するレジスト残渣などの問題、あるいは、歩留まり低下や製造に時間がかかるといった問題も解消されることになる。

#### 〔実施例〕

以下、図面によって本発明の実施例について、詳細に説明する。

第1図は、本発明の一実施例の半導体装置を製造するための方法を示す断面図であり、第2図の従来例に対応する部分には、同一の参照符を付す。

先ず、第1図(A)に示されるように、トランジスタやコンデンサなどの素子1,2が形成された半導体基板、例えば、GaAs基板3を、フォトリソエッチング工程に移し、第1図(B)に示されるように、チップ分離すべき箇所(スクライブライン)以外の部分がすべてフォトリソ4で覆われるように、レジストパターンを形成する。このフォトリソ4としては、次工程のウエットエッチングおよびメッキ液に対して耐性のあるもの、例えば、硬化ゴム系のフォトリソが用いられる。

次に、第1図(C)に示されるように、不要となったフォトリソ4を除去し、さらに、スクライブラインに沿って分割することにより、メタライズ7が、GaAs基板3上に張り出すことなく、該基板3の側面のみに形成された半導体装置を得ることになる。

次に、第1図(D)に示されるように、必要となくなったフォトリソ4を除去し、さらに、スクライブラインに沿って分割することにより、メタライズ7が、GaAs基板3上に張り出すことなく、該基板3の側面のみに形成された半導体装置を得ることになる。

このように本発明の半導体装置では、第1図(F)に示されるように、その機械的強度を高めるためのメタライズ7が、半導体装置の表面側に張り出すことなく、その側面のみに形成されるので、半導体基板上の素子1,2を従来例のように側面から離れた位置に形成する必要がなく、したがって、半導体装置のサイズを従来よりも小さくすることが可能となる。また、半導体装置を半田によってキャリアに固定する場合に、半田がメタライズ

次に、フォトリソ4をマスクとしてウエットエッチングを行い、第1図(C)に示されるようにスクライブライン用の溝5を形成する。本発明方法では、従来のドライエッチングに代えてウエットエッチングによってスクライブライン用の溝5を形成するようにしているが、その理由は、ドライエッチングのようにレジスト残渣が溝5内に発生しないこと、フォトリソ4の端からアンダーカットが入って溝5が形成されること、さらには、フォトリソ4を後続の工程でそのまま利用できるためである。

次に、無電解メッキを行って第1図(D)に示されるように、スクライブライン用の溝5の内壁だけに金やニッケルなどからなる給電層6を形成する。無電解メッキ法では、処理の条件を適当に設定することにより、フォトリソ4に給電層6を成長させることなく、半導体基板3のみに給電層6を成長させることが可能である。

そして、第1図(E)に示されるように、給電層6上に電気メッキ法によって、例えば、金やニッ

を伝って表面まで上がってきて素子1,2を破壊するといったことが防止される。

また、本発明の製造方法では、第2図の従来例に比べて工程数を大幅に低減することが可能になるとともに、スクライブライン用の溝5を形成した後は、フォトリソエッチング工程を一度も通す必要がないので、従来例のように、フォトリソエッチング工程におけるフォトリソ塗膜の不均一、溝内に発生するレジスト残渣などの問題、あるいは、歩留まり低下や製造に時間がかかるといった問題も解消されることになる。

上述の実施例では、スクライブライン用の溝5内に無電解メッキ法によって給電層6を形成した後、さらに、機械的強度を高めるために、電気メッキ法によってメタライズ7を形成するようにしているけれども、給電層6の厚みを厚くすることにより、給電層6をメタライズ7として兼用してもよい。

#### 〔発明の効果〕

以上のように本発明の半導体装置では、メタライズが半導体基板上に張り出していないので、半

導体基板上の素子を従来例のように側面から離した位置に形成する必要がなく、半導体装置のサイズを小さくすることが可能となり、また、半導体装置を半田によってキャリアに固定する場合に、素子が破壊されるといったことが防止される。

また、本発明の半導体装置の製造方法では、スクライプ用の溝を形成した後には、フォトリソング工程を通す必要がないので、製造工程が簡素化され、歩留まりが向上し、製造時間も大幅に短縮されることになる。

#### 4、図面の簡単な説明

第1図は本発明の一実施例の製造方法を示す断面図、第2図は従来例の製造方法を示す断面図である。

1, 2…素子、3…GaAs基板、4…フォトリソ、5…スクライプ用の溝、6…給電層、7…メタライズ。

代理人 大岩増雄

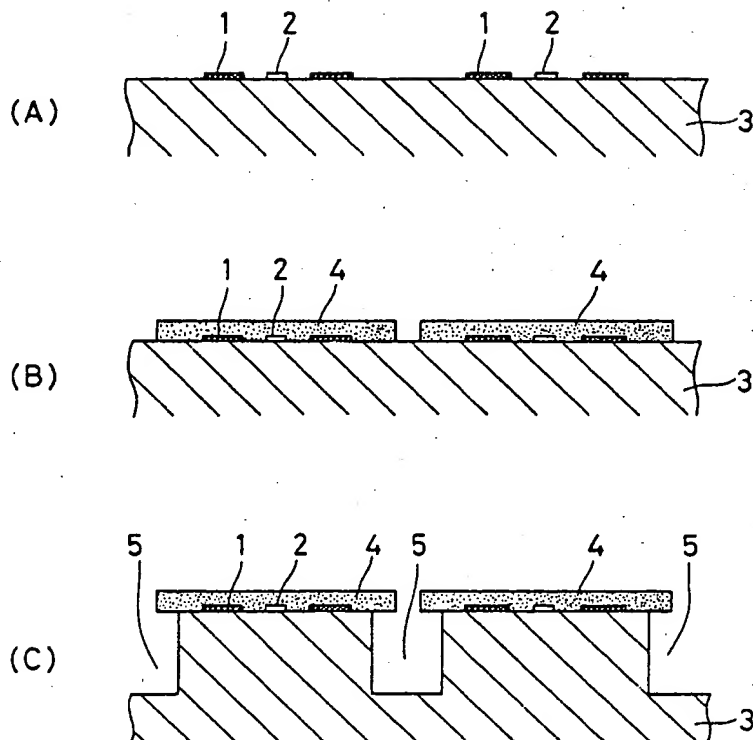
第1図 (その1)

1, 2…素子

3…GaAs基板

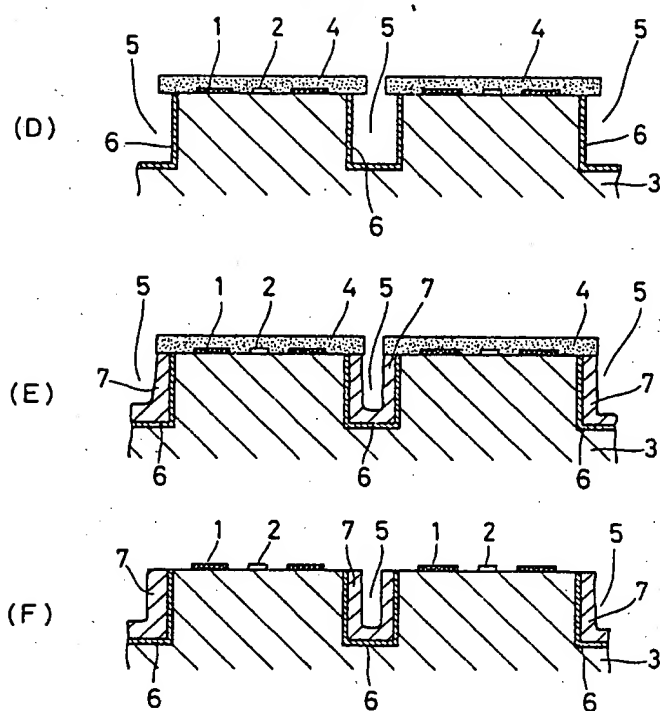
4…フォトリソ

5…スクライプ用の溝

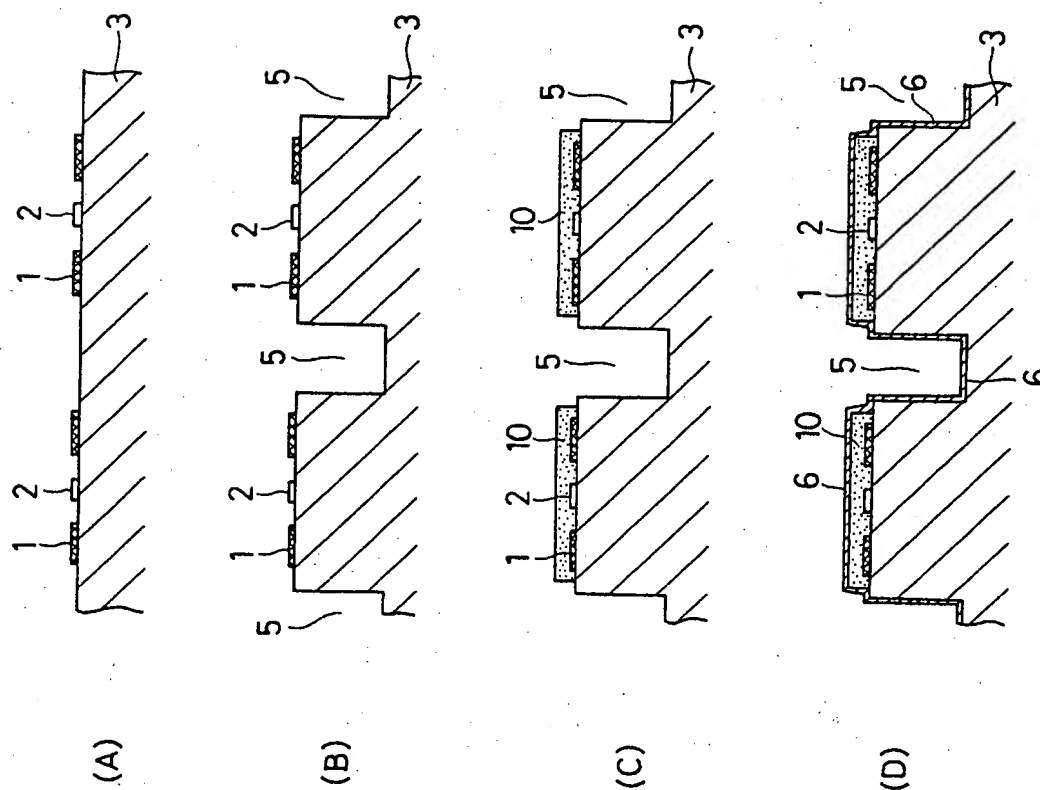


第 1 図 (その 2)

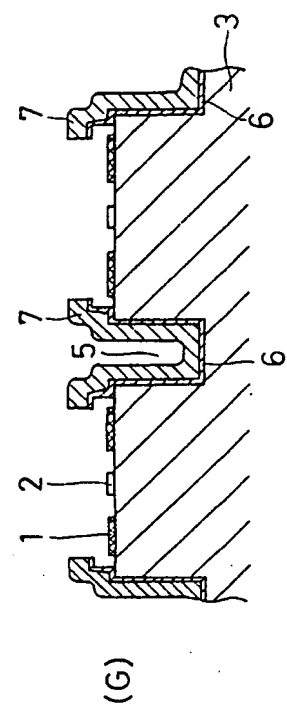
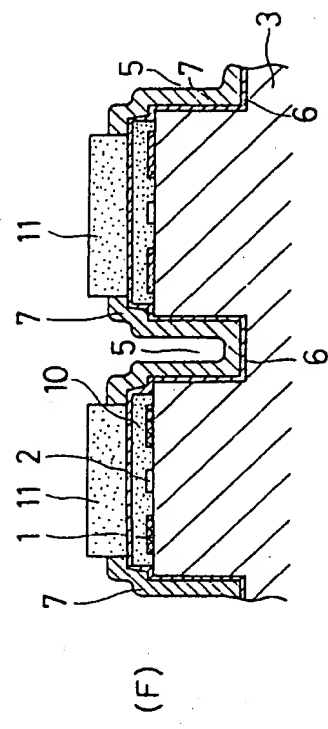
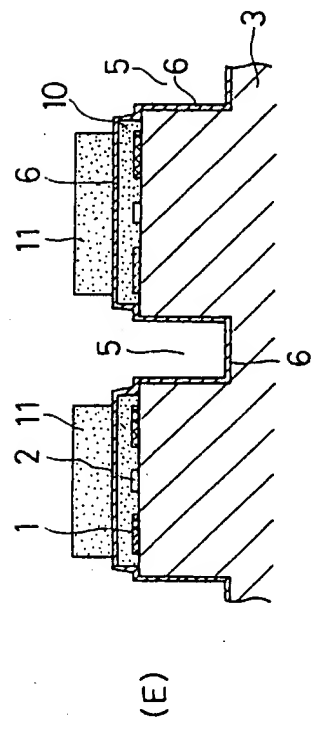
- 1, 2...素子  
3...GaAs基板  
4...フォトリソ  
5...スクライプ用の溝  
6...給電層  
7...メタライズ



第 2 図 (その 1)



第2図(その2)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**